

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-093274

(43)Date of publication of application : 06.04.2001

(51)Int.Cl. G11C 11/16  
H01L 27/10  
H01L 29/80  
H01L 43/08

(21)Application number : 11-269106

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.09.1999

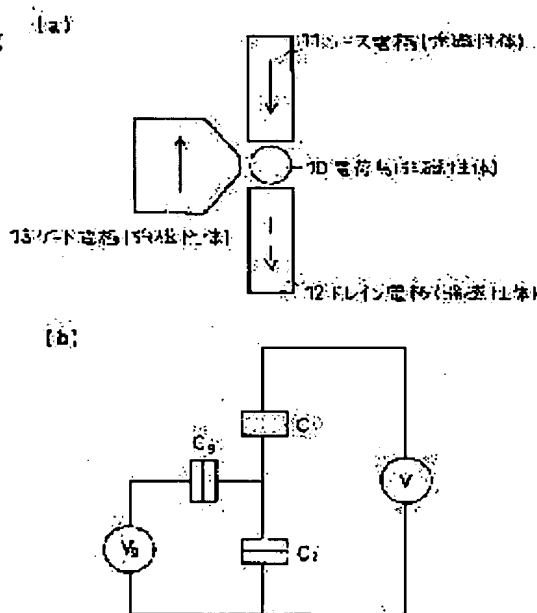
(72)Inventor : NAKAJIMA KENTARO  
INOMATA KOICHIRO  
SAITO YOSHIKI

## (54) SPIN-DEPENDENT SWITCHING ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a spin-dependent switching element suitable for embodying a magnetic memory device having a high level of integration and low electric power consumption in combination.

**SOLUTION:** This element has the constitution obtained by arranging a source 11, drain 12 and gate electrode 13 consisting of ferromagnetic materials to a charge island 10 having a very small size in such a manner that these respectively form tunnel junctions. A spin-dependent chemical potential shift is generated in the charge island 10 by a spin accumulation effect when the magnetization array of the gate 13 and the drain electrode 12 is antiparallel. The tunnel conductance between the source and the drain is changed dependently upon the magnetization array of the electrodes by the chemical potential shift. When the element is applied to a magnetic memory cell which uses the magnetization array of the electrodes as recording information, reading-out output may be taken larger than in the prior art using a ferromagnetic tunnel effect. Since the element itself has a switching function, the need for transistors for cell section is eliminated and the element is suitable for the higher level of integration of the cells.



## LEGAL STATUS

[Date of request for examination]

25.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The source electrode which consists of a ferromagnetic, and the drain electrode which consists of a ferromagnetic, It has the gate electrode which consists of a ferromagnetic, and the minute charge island arranged so that [ the tunnel junction more than a duplex ] it may be formed in inter-electrode [ said / three ]. When the bond resistance  $R$  of each tunnel junction sets electronic charge to  $e$  and it sets a Planck's constant to  $h$ ,  $R > h / 4e^2$  is satisfied. And it is what is constituted so that the spin relaxation time amount within said non-magnetic material may satisfy a \*\*\*\*\* rather than tunnel time amount, when tunnel current is passed to each inter-electrode one through said conductor. When said gate and the magnetization direction of a drain electrode are anti-parallel and tunnel current is flowing between gate-drains Said source, the spin dependence switching element characterized by drain inter-electrode tunnel conductance changing depending on the magnetization array of said source and a drain electrode.

[Claim 2] The source electrode which consists of a ferromagnetic, and the drain electrode which consists of a ferromagnetic, It has the gate electrode which consists of a ferromagnetic, and the minute charge island arranged so that [ the tunnel junction more than a duplex ] it may be formed in inter-electrode [ said / three ]. When the bond resistance  $R$  of each tunnel junction sets electronic charge to  $e$  and it sets a Planck's constant to  $h$ ,  $R > h / 4e^2$  is satisfied. And it is what is constituted so that the spin relaxation time amount within said non-magnetic material may satisfy a \*\*\*\*\* rather than tunnel time amount, when tunnel current is passed to each inter-electrode one through said conductor. Said gate, the cage in which tunnel current is flowing to the drain electrode, said source, The spin dependence switching element characterized by said source and drain inter-electrode tunnel conductance changing depending on the magnetization array of said gate and a drain electrode when the magnetization array of a drain electrode is parallel.

[Claim 3] The spin dependence switching element characterized by reading change of said source and drain inter-electrode tunnel conductance in claim 1 and the spin dependence switching element of two publications as current change at the time of giving fixed bias voltage to the source and drain inter-electrode.

[Claim 4] The spin dependence switching element characterized by reading change of said source and drain inter-electrode tunnel conductance in claim 1 and the spin dependence switching element of two publications as electrical-potential-difference change at the time of giving a fixed current to the source and drain inter-electrode.

[Claim 5] The spin dependence switching element characterized by having the 2nd gate electrode which carried out capacity coupling to said charge island in claims 1, 2, and 3 and the spin dependence switching element of four publications.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a spin dependence switching element with the function in which the electric resistance changes with foreign voltage.

[0002]

[Description of the Prior Art] A single electronic transistor (below Single Electron Transistor; SET, brief sketch) transposes the conduction channel of the field-effect transistor (below Field Effect Transistor; FET, brief sketch) widely used as a current Si integration component to the charge island which consists of a very small conductive particle, and has the structure which established the tunnel obstruction between the source electrode and the drain electrode. If the volume of a charge island is made small to a nano field and electrostatic capacity is made small to 10-18F, change of the electrification energy of the charge island when moving one electron to a charge island will be set to several 10mV from a source electrode. Therefore, it becomes possible for it to become impossible to tunnel an electron from a source electrode to a charge island (the coulomb BUOKKEDO effectiveness), and to control conduction between source-drains also by the room temperature with the potential of a gate electrode. moreover, the base by which the electrification energy of a charge island was accumulated in the charge island -- it can be made to accumulate, since it becomes a discrete value according to a charge number, counting the electron of every a piece one by one on a charge island namely, SET -- electronic base -- a discrete change of the electrification energy by the Coulomb repulsion between the electrons by the charge and change of an electron number is used positively, and, as for conventional FET, the principles of operation differ greatly. Since SET can operate by the electron some, it has an advantage -- fluctuation of a transport electron number is suppressed according to ease [ detailed-izing of a component dimension ], and the coulomb BUOKKEDO effectiveness -- and it sharp reduction of power consumption is not only possible, but is considered to be a candidate with the strong integration component of a nano field.

[0003] Some memory devices using the idea of the above SET are devised. (For example, refer to Single Charge Tunneling, Edited by H.Gilbert and M.H.Deveret, Plenum Press, New York, and 1992) It is made to correspond to recording information "1" and "0" in the single electronic memory cell which is the structure [ extreme reasonable ], respectively whether the electron of a piece is stored in the charge island. In order to obtain bistability nature required for memory actuation, the structure of connecting two or more charge islands to a serial is common, a drain electrode is made into fixed potential, and recording information is judged with the potential by making a source electrode into a record node. The writing of recording information is performed by impressing an electrical potential difference to a source electrode. The thing which makes SET turn on and off by whether the charge island of SET is made to carry out the electrostatic coupling of another charge island as a record node, and the other charge is accumulated in it on the charge island of the record node. (For example, IEEE Trans. Electron Devices, 43, 1213 (1996) reference) Si nano crystal is used for the stray capacity layer of a flash memory, and that to which the conduction property of the conduction channel of FET is changed with the amount of charges accumulated into nano crystal is also devised again. (For example, Proceedings of 1998 International Symposium on Formation, Physics, and Device Application of Quantum Dot Structure, Sapporo, Japan, 1998 reference)

When considering a memory device, many methods of making the existence of a charge correspond to recording information conventionally have been taken. However, the relative magnetization array of two or more ferromagnetics is made to correspond to recording information, and the method of realizing solid-state

MAG memory is studied recently. (For example, refer to J. Appl. Phys. 813758(1997).) The magnetic memory using a ferromagnetic has a big advantage, such as excelling in nonvolatile being a thing, that a lead-light cycle is semipermanent, and radiation resistance.

[0004] Research has started with the theoretical side and the experimental aspect in recent years about the ferromagnetism SET which an electrode and a charge island become from a ferromagnetic. (For example, J.Phys.Soc.Jpn, 66, 1261 (1997) reference) When applying ferromagnetism SET to a memory cell, the relative magnetization array of the source, a drain electrode, and a charge island is made to correspond to recording information. A current field performs informational writing and the so-called ferromagnetic tunnel effect (the following TMR effectiveness and brief sketch) from which the tunnel resistance between source-drains changes depending on a magnetization array is used for read-out. The memory cell using ferromagnetism SET has an advantage, like the effect of an impurity and interface state density is small compared with the \*\* semiconductor SET strong against fluctuation of the are recording charge number of charge Shimauchi by \*\* leakage current etc. who can make a switching function give a component with \*\* gate voltage. However, the value of the TMR effectiveness in the actual condition is about 10 - 20%, and has the fault that the read-out output difference over storage information is small, compared with the memory cell using the charge storage to a charge island. Although enhancing of the TMR effectiveness by existence of the high order tunnel effect in a coulomb BUOKKEDO field and enhancing in a coulomb BUOKKEDO field boundary are pointed out theoretically in recent years, the magnitude of enhancing is at most about several 10%, and does not serve as a solution in essence. although the approach using an ingredient with whenever [ spin polarization / / near the Fermi surface /, such as Mn system compound and an oxide, / near 100% ] is also devised in order to depend for the TMR effectiveness on the polarizability of a ferromagnetic, production of an ingredient with a low Curie temperature of an ingredient and processing are difficult -- etc. -- it has the fault.

[0005] Although it is requested that the dimension of a charge island should be set to several nm or less, and that electrostatic capacity should be made into less than [ 10-18F ] in order to realize ferromagnetism SET of room temperature actuation furthermore, it is dramatically difficult to obtain the nano particle which is generally this dimension and shows ferromagnetism at a room temperature.

[0006] In order to solve this point, it is useful to use the spin cumulative effect to which research is done in recent years. (For example, Phys. Rev. B Phys. Rev. 59, 93 (1999), and B59, 6017 (1999) reference) A spin cumulative effect The charge island-drain inter-electrode tunnel conductance  $G_1$  and  $G_2$  between source electrode-charge islands Sufficiently smaller than the quantum conductance  $G_Q$  expressed with  $G_Q = 1/h / 4e^2$ , when spin relaxation time amount  $\tau_{sf}$  in charge Shimauchi is longer enough than tunnel time amount  $\tau_{t}$  of each junction, it is generated. When the charge island which fulfills such conditions is inserted into the tunnel junction which has unsymmetrical conductance to spin and exists, the electron which carried out spin polarization is accumulated in a charge island in un-balancing. Therefore, the science potential of a charge island shifts depending on spin, and carries out spin polarization of the charge island in un-balancing. Consequently, even if a charge island is non-magnetic material, it is expected that the TMR effectiveness appears. That is, if the charge island which fulfills the conditions of a spin cumulative effect appearance is used, electrostatic capacity can be decreased smaller and SET actuation at a room temperature can be realized easily. However, the TMR effectiveness in this case decreases to one half compared with the case where a ferromagnetic charge island is used.

[0007]

[Problem(s) to be Solved by the Invention] As mentioned above, it is expected that it becomes possible to realize the high density and the non-volatile MAG memory of a low power which have the property which was excellent in applying ferromagnetism SET to a memory cell compared with the conventional technique. However, information read-out using the present TMR effectiveness has the fault that the read-out output difference over storage information is small.

[0008] This invention is made in order to cope with such a technical problem, and it aims at offering the spin dependence switching element suitable for high density and the non-volatile MAG memory cell of a low power.

[0009]

[Means for Solving the Problem] This invention is concerned with a high degree of integration and the spin dependence switching element suitable for non-volatile MAG memory application of a low power as mentioned

above. A spin cumulative effect is explained in the first place briefly first. The mimetic diagram and equal circuit of ferromagnetism SET are shown in drawing 1 (a) and (b). A charge island consists of non-magnetic material here. Moreover, capacity coupling of the gate electrode is carried out to the charge island, and tunnel current does not flow between gate electrode-charge islands. Hereafter, a charge island-drain inter-electrode tunnel junction is written as junction 1 and junction 2 between source electrode-charge islands, and a suffix is attached and distinguished to a variable, respectively. The case where spin relaxation time amount  $\tau_{sf}$  in charge Shimauchi is longer enough than tunnel time amount  $\tau_{t}$  of each junction is considered now sufficiently smaller than the quantum conductance  $G_Q$  as which the tunnel conductance  $G_1$  and  $G_2$  of each junction is expressed in  $G_Q = h / 4e^2$ . The magnetization directions of a source electrode and a drain electrode are anti-parallel, and suppose that each spin dependence tunnel conductance  $G_1^{**}$ ,  $G_1^{**}$ ,  $G_2^{**}$ , and  $G_2^{**}$  satisfy the following conditions.

[0010]

$$G_1^{**}/G_1^{**} = G_2^{**}/G_2^{**} \quad (1)$$

At this time, as shown in drawing 2, chemical potential shift  $\delta\mu$  which was dependent on charge Shimanaka in the spin direction arises. This is the so-called spin cumulative effect. The spin dependence tunnel current which flows each junction is written to be  $I_1^{**}$ ,  $I_1^{**}$ ,  $I_2^{**}$ , and  $I_2^{**}$ , and a degree type defines the spin current  $I_s$ .

[0011]

$$I_s = 2(I_1^{**} - I_2^{**}) = 2(I_1^{**} - I_2^{**}) \quad (2)$$

The magnitude of chemical potential shift  $\delta\mu$  is proportional to the spin current  $I_s$ , and is applied as follows.

$$[0012] \quad \delta\mu = I_s / e \tau_{sf} \delta \quad (3)$$

$\tau_{sf}$  is charge Shimanaka's spin relaxation time amount, and  $\delta$  is energy spacing of the discrete level near the Fermi surface of a charge island here.

[0013] In this invention, as shown in drawing 3, it has the configuration which has arranged three ferromagnetic electrodes so that a tunnel junction may be formed, respectively to a charge island. although this configuration is similar to the so-called RSET (for example, IEEE Trans. Magn. 23, 1142 (1987) reference), an electrode consists of a ferromagnetic -- it is alike especially and those functions differ greatly.

[0014] When it supposes now that magnetization of a gate electrode and a drain electrode is anti-parallel in the structure shown in drawing 3 and constant current is passed to gate-drain inter-electrode, chemical potential shift  $\delta\mu$  expressed with (3) types to charge Shimanaka as mentioned above arises, and the spin component of a drain electrode and this direction has lower chemical potential. Now, in this condition, low bias voltage is applied to source-drain inter-electrode, and the current response in this case is considered. When the spin cumulative effect has arisen on the charge island in the configuration shown in drawing 3, from a source electrode, change of the energy at the time of making one electron tunnel differs to a charge island by whether magnetization of a source electrode and a drain electrode is parallel, or they are anti-parallel, and is applied to it as follows.

$$E_P(n) = E(n) + \delta\mu / 2 \quad (\text{anti-parallel condition}) \quad (4)$$

$$E_{AP}(n) = E(n) - \delta\mu / 2 \quad (\text{parallel condition}) \quad (5)$$

$E(n)$  is the energy at the time of making one electron tunnel from a required source electrode to a charge island here, when the spin cumulative effect has not arisen.

[0015] When temporarily ideal, it assumes [\*\*\*\*\*] that it is an absolute zero-point and whenever [spin polarization / of the conduction electron of a source electrode] is 100%. In this case, the switching characteristic of the component to the electrical potential difference  $V$  between source-drains and gate voltage  $V_g$  can be written like drawing 4. Drawing 4 (a) is a switching characteristic when the spin cumulative effect has not arisen on a charge island. The continuous line of drawing shows the border area of switching, when  $V$  and  $V_g$  are lower than this, tunnel current will not flow according to the coulomb BUROKKEDO effectiveness, but a component will be in an OFF state. When the spin cumulative effect has not arisen, change of the switching characteristic corresponding to the magnetization array of the source and a drain electrode is not produced. On the other hand, drawing 4 (b) is the case where the spin cumulative effect has arisen on the charge island. When the dotted line in drawing has the parallel magnetization array of the source and a drain electrode, a broken line is the boundary of switching in the case of being anti-parallel. As shown in (4) and (5) types, in

$V = 0$ , the shift of  $\Delta\mu$  has arisen among both. The shift of a switching boundary has arisen by the difference in the magnetization array of the source and a drain electrode so that more clearly than drawing. That is, in the spin dependence switching element of this invention, it becomes possible by choosing the suitable operating point about the electrical potential difference  $V$  between source-drains, and gate voltage  $V_g$  ON of a component, and to make it correspond off and to detect about the difference in the magnetization array of the source and a drain electrode. By following, for example, making the relative magnetization direction over the drain electrode of a source electrode correspond to storage information, a component ON and is off and storage information "1" and "0" can be distinguished.

[0016]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about actuation of the spin dependence switching element of this invention.

[0017] Drawing 5 shows typically change of source-drain inter-electrode tunnel current  $I$  to the charge  $Q_{ex}$  accumulated in the charge island. The charge  $Q_{ex}$  of a charge island can be controlled by gate voltage  $V_g$ . The curve in drawing supports different source-drain inter-electrode bias voltage  $V$ , respectively. Here, the case where it was an absolute zero-point ideally, and whenever [ spin polarization / of the conduction electron of a source electrode ] was 100% was shown. Effectiveness when whenever [ effectiveness / of temperature / and spin polarization ] is limited can be estimated more easily than this Fig. Drawing 5 (a) is an  $I$ - $Q_{ex}$  curve when the spin cumulative effect has not arisen on a charge island. For bias voltage  $V$ , tunnel current is  $Q_{ex}$  when low enough. It flows only in  $=(2n+1) e / 2$  ( $n$  is an integer) near. Drawing 5 (b) is the case where the spin cumulative effect has arisen on the charge island. In this case, difference  $\Delta\mu$  of chemical potential arises to each spin component, and a difference arises in energy  $E(n)$  required for making the electron of a piece tunnel, as shown in (above-mentioned 4) and above-mentioned (5) types. This is effectually [ as the values of  $Q_{ex}$  differing to each spin component ] equivalent. The dotted line and the broken line showed the  $I$ - $Q_{ex}$  curve in case the magnetization arrays of the source and a drain electrode are parallel and anti-parallel to drawing 5 (b), respectively. That is, as shown all over drawing, when bias voltage  $V$  and gate voltage  $V_g$  ON are given, if the magnetization array is parallel, a current value  $I_P$  will be acquired, and if it is anti-parallel, a current value will serve as  $I_{AP}$ . It is  $I_{AP}=0$  so that clearly from drawing, and switching depending on the magnetization array of the source and a drain electrode can be realized.

[0018] Drawing 5 (c) shows the actuation at the time of passing constant current  $I_0$  between source-drains. When gate voltage  $V_g$  ON is given, if the magnetization array is parallel,  $V_P$  will be obtained, and if the electrical potential differences between source-drains are anti-parallel, they will serve as  $V_{AP}$ . Therefore, it becomes possible by distinguishing the electrical potential difference between source-drains quantitatively in this case to distinguish the magnetization array of the source and a drain electrode.

[0019] Cell selection is needed in applying the spin dependence switching element of this invention to a magnetic memory cell. In this case, what is necessary is only for the cell chosen as shown in drawing 5 (b) and (c) to give  $V_g$  ON, and just to give gate voltage  $V_g$  OFF to which tunnel current does not flow to a non-choosing cell irrespective of a magnetization array. Furthermore, where  $V_g$  ON is given to all cells, only a selection cell may give bias voltage  $V$ . Moreover,  $Q_{ex}$  is controllable also by the 2nd gate electrode which carried out capacity coupling to the charge island. Therefore, the potential of the 2nd gate electrode can also perform cell selection. In this case, the 2nd gate electrode does not need to be a ferromagnetic.

[0020] In order to realize room temperature actuation of the spin dependence switching element of this invention, the electrostatic capacity of a charge island needs to be less than [  $1 \times 10^{-18} F$  ] in general. In order to realize the value of this electrostatic capacity, it is necessary to set that dimension to several nm or less. It is difficult to produce the charge island of such a detailed dimension with direct current ultra-fine processing technology, and the NANOKU granular membrane by which self-formation was carried out at the time of membrane formation is the optimal. In what used the granular growth in the metal to a what [ was produced with the simultaneous vapor growth of an insulator, and a metal and a semi-conductor ], and insulator substrate top, and the initial growth process of a semi-conductor as a nano granular membrane, for example, the thing using an amorphous crystallization process, and a mixed-crystal mold compound semiconductor growth process, that to which self-organizing of the constituent concentration was controlled and carried out can be used. In addition, although the amount of [ which makes a switching function discover ] charge pars insularis needs to consider as the dimension of several nm as mentioned above in the spin dependence switching element

of this invention, the dimension of the source, a drain, and the gate polar zone is good also in the magnitude of extent which can respond with current ultra-fine processing technology. Therefore, even when it applies to a memory cell, it is possible to use a well-known technique for the method of writing in recording information and the construction of wiring conventionally.

(Example 1) Drawing 6 is the mimetic diagram showing the first operation gestalt of this invention. Hereafter, the method of producing this junction is described. The pattern which specifies the charge island 20 is first formed on the SOI substrate 14 using a positive resist and electron beam lithography. Next, by reactant chemical etching, Si layers other than a resist pattern are etched until it reaches SiO two-layer. After resist clearance, if temperature up is performed in an oxygen ambient atmosphere, oxidation will advance from the perimeter of Si of the rectangular parallelepiped specified as a charge island 20, and SiO<sub>2</sub> film will grow so that Si particle of an ellipsoid may be surrounded, as eventually shown in drawing 6. SiO<sub>2</sub> film 22 plays a role of a tunnel obstruction. The magnitude of the Si particle 21 obtained by this example was about 80nm. The NiFe alloy was used for the gate electrode in order to coercive force distinguish between a source electrode and a drain electrode using Co. The pattern of a graphic display was produced with the combination of electron beam lithography and the lift-off method.

[0021] The bias voltage dependency of the current between source-drains in the component of this example is shown in drawing 7. Measurement temperature is 120mK(s). The I-V property at the time of removing a field among drawing, after the curve of (a) impressed the field of 1kOe downward [ space ], and the curve of (b) are an I-V property at the time of impressing the field of 100Oe(s) to space facing up, and removing a field after that, after impressing the field of 1kOe downward [ space ]. In the condition of (b), it checked that there was magnetization of the source and a drain electrode downward [ space ], and space facing up had magnetization of a gate electrode on the other hand with the spin polarization scanning electron microscope. Although (a) and (b) have produced the coulomb gap in the low bias side, the current has started by the bias side with the lower direction in (b). By (b), since magnetization arrangement of the gate and a drain electrode is anti-parallel, this difference shows that the chemical potential shift arose in charge Shimanaka according to the spin cumulative effect.

(Example 2) Drawing 8 is the mimetic diagram showing the 2nd operation gestalt of this invention. In this example, the pattern of Co film of the configuration where the source-drain electrode was connected first is formed on the thermal oxidation Si substrate 15. Next, a negative-mold electron beam resist is applied and an electron ray is irradiated with the lower light exposure into a part to form a gap 21 in. Thereby in a resist, a V character rabbit ear arises. Leaving a resist here, Ar milling is performed until the head of a hollow reaches SiO<sub>2</sub> film. Detection of a milling terminal point was performed using secondary ion mass spectrometry. It is possible to form the gap of a processing dimension [ by this ] smaller than the resolution of the usual electron beam lithography. The minimum width of face of the gap obtained by cross-section TEM observation was about 5nm. Next, Si particle covered with SiO<sub>2</sub> with a mean particle diameter of 15nm is distributed in an organic solvent, and the spin coat of this colloidal solution is carried out. Thereby, the structure in which Si particle remained can be formed in the gap between source-drains like a graphic display.

[0022] After desorbing a solvent by after [ a spin coat ] temperature-up processing, SiO<sub>2</sub> film 22 is formed. Then, a gate electrode is formed by electron beam lithography and the lift-off method. The NiFe alloy was used for the gate electrode like the example 1.

[0023] When the same experiment as an example 1 was conducted about the component produced by this example, the shift of the coulomb gap for which 40K depended on the magnetization array was observed.

(Example 3) Drawing 8 is the mimetic diagram showing the 3rd operation gestalt of this invention. In this example, the amorphous silicon of 2nm of thickness is deposited with a CVD method on the thermal oxidation Si substrate 15 on the whole surface. Next, if this substrate is heat-treated in a vacuum, an amorphous silicon will form semi-sphere-like crystal grain. Then, the PASSHI bait of SiO<sub>2</sub> is carried out to the front face. Thereby, Si particle produced the nano granular membrane distributed two-dimensional on SiO<sub>2</sub> film like a graphic display. The magnitude of Si particle obtained by cross-section TEM observation was 3nm of \*\*\*\*.

[0024] Next, it is processed to the nano granular membrane formed all over the substrate top. By the positive resist and electron beam lithography, a pattern is first formed for the rectangle which specifies a charge island. The pattern in this example is the square of 80nm angle, and about 250 Si particles are contained in it. It etches after pattern formation until it amounts to SiO<sub>2</sub> of a substrate, and Co film is formed, leaving the resist after

etching further. The pattern of the gate electrode 13 completes the resist after membrane formation by exfoliating. The pattern was formed in the gate electrode by electron beam lithography and the lift-off method using the NiFe alloy like the example 1. When the experiment same about this component as an example 1 was conducted, the shift of a coulomb gap which was dependent on the magnetization array also at the room temperature was observed.

[0025]

[Effect of the Invention] As explained in full detail above, by the spin dependence switching element of this invention, the switching function reflecting the magnetization array of a gate electrode and a drain electrode can be obtained at a room temperature. Therefore, when the component of this invention is applied to a magnetic memory cell, compared with the case using the ferromagnetic tunnel effect, the read-out output difference over recording information can be acquired greatly, and actuation stable as a memory cell is attained. Furthermore, since it has the switching function for the component itself, the semi-conductor transistor for cell selection becomes unnecessary, and much more high integration can be expected.

---

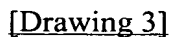
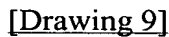
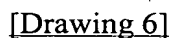
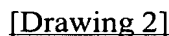
[Translation done.]

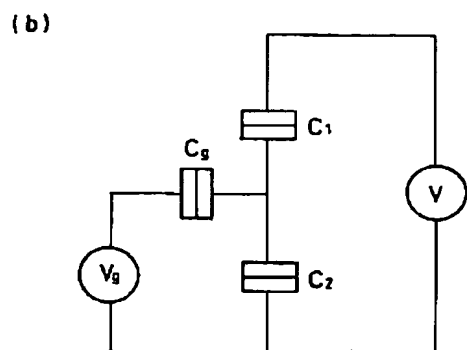
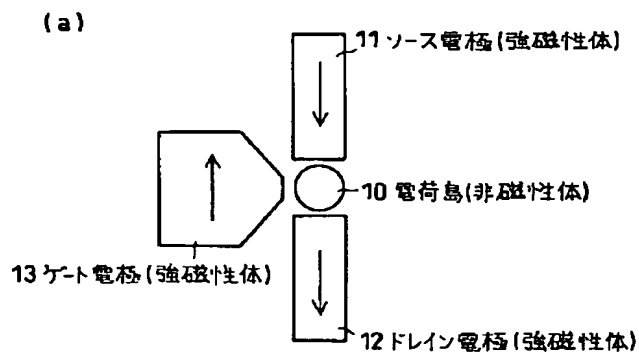


**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

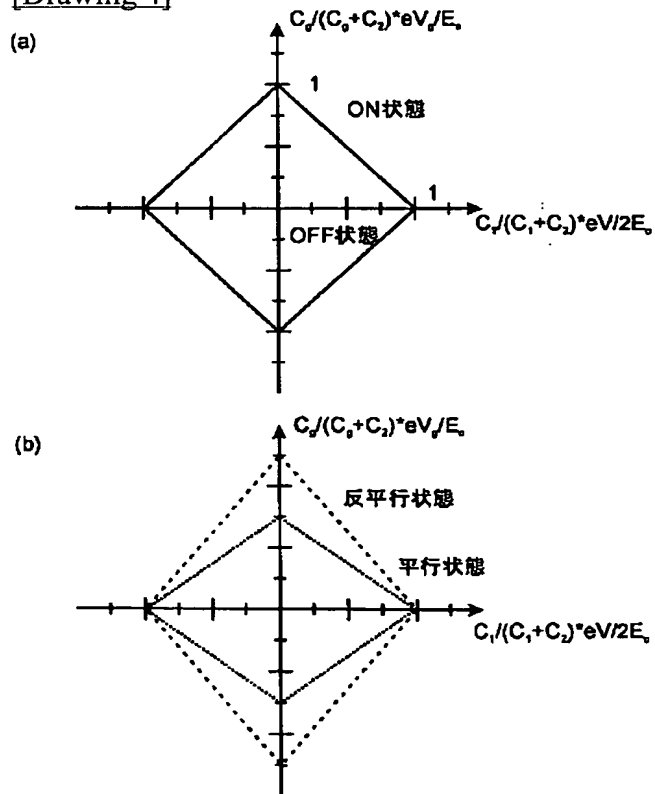
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.  
2.\*\*\*\* shows the word which can not be translated.  
3.In the drawings, any words are not translated.

[Drawing 1]

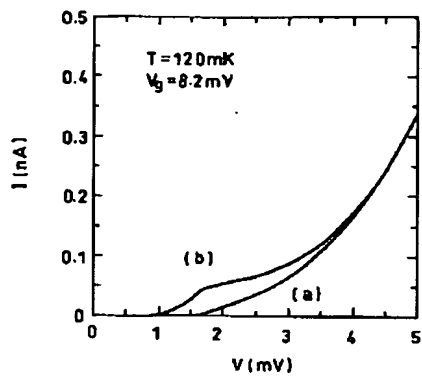




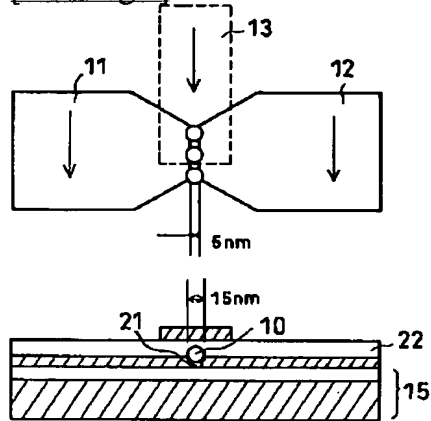
[Drawing 4]



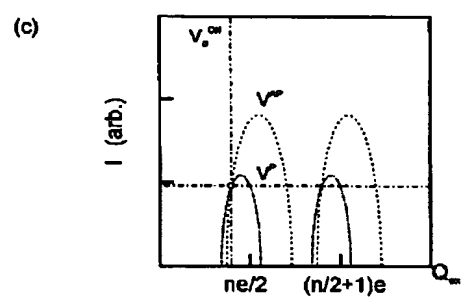
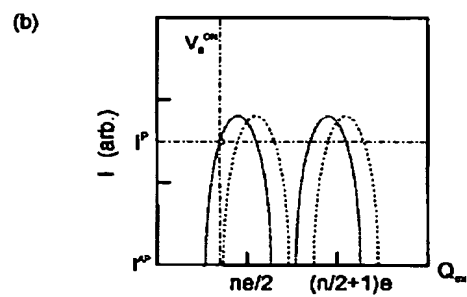
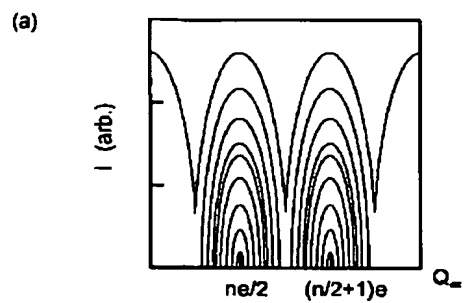
[Drawing 7]



[Drawing 8]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-93274

(P2001-93274A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 1 1 C 11/16		G 1 1 C 11/16	5 F 0 8 3
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	5 F 1 0 2
29/80		43/08	Z
43/08		29/80	A

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-269106

(22) 出願日 平成11年9月22日 (1999.9.22)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中島 健太郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 猪俣 浩一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外1名)

最終頁に続く

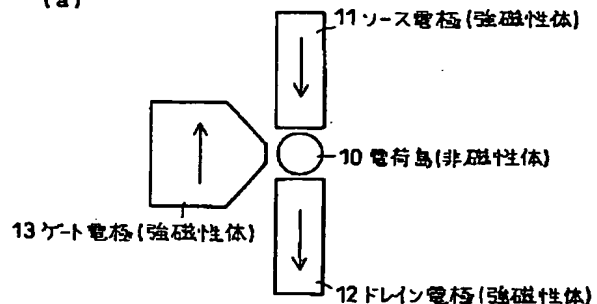
## (54) 【発明の名称】 スピン依存スイッチング素子

## (57) 【要約】

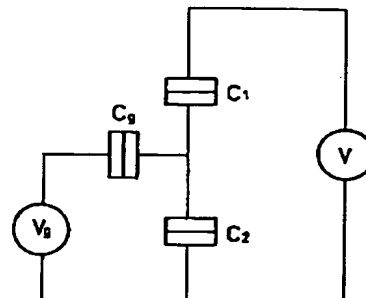
【課題】 高集積度、低消費電力を兼ね備えた磁気メモリ装置を実現するのに適したスピン依存スイッチング素子を提供する。

【解決手段】 微小な寸法を有する電荷島10に対して、強磁性体からなるソース11、ドレイン12、ゲート電極13を、それぞれトンネル接合を形成するように配置した構成を持つ。ゲート13、ドレイン電極12の磁化配列が反平行であるとき、電荷島10にはスピン蓄積効果によりスピンに依存した化学ポテンシャルシフトが生じる。この化学ポテンシャルシフトによりソース・ドレイン間のトンネルコンダクタンスが電極の磁化配列に依存して変化する。電極の磁化配列を記録情報とする磁気メモリセルに应用した場合、強磁性トンネル効果を用いた従来例に比べ、読み出し出力を大きく取ることが可能となる。また素子自身にスイッチング機能を有しているため、セル選択用のトランジスタが不要となりセルの高集積化に適する。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 強磁性体からなるソース電極と、強磁性体からなるドレイン電極と、強磁性体からなるゲート電極と、前記三つの電極間に2重以上のトンネル接合を形成されるように配置された微小な電荷島とを備え、各トンネル接合の接合抵抗 $R$ が、電子の電荷を $e$ 、プランク定数を $h$ とすると $R > h/4e^2$ を満足し、かつ前記導電体を介して各電極間にトンネル電流を流したとき前記非磁性体内でのスピン緩和時間がトンネル時間よりも長いことを満足するように構成されているものであつて、前記ゲート、ドレイン電極の磁化方向が反平行であつて、かつゲートドレイン間にトンネル電流が流れている場合に、前記ソース、ドレイン電極間のトンネルコンダクタンスが前記ソース、ドレイン電極の磁化配列に依存して変化することを特徴とするスピン依存スイッチング素子。

【請求項2】 強磁性体からなるソース電極と、強磁性体からなるドレイン電極と、強磁性体からなるゲート電極と、前記三つの電極間に2重以上のトンネル接合を形成されるように配置された微小な電荷島とを備え、各トンネル接合の接合抵抗 $R$ が、電子の電荷を $e$ 、プランク定数を $h$ とすると $R > h/4e^2$ を満足し、かつ前記導電体を介して各電極間にトンネル電流を流したとき前記非磁性体内でのスピン緩和時間がトンネル時間よりも長いことを満足するように構成されているものであつて、前記ゲート、ドレイン電極にトンネル電流が流れているおり、前記ソース、ドレイン電極の磁化配列が平行である場合に、前記ソース、ドレイン電極間のトンネルコンダクタンスが前記ゲート、ドレイン電極の磁化配列に依存して変化することを特徴とするスピン依存スイッチング素子。

【請求項3】 請求項1、2記載のスピン依存スイッチング素子において、前記ソース、ドレイン電極間のトンネルコンダクタンスの変化を、ソース、ドレイン電極間に一定のバイアス電圧を与えた際の電流変化として読み出すことを特徴とするスピン依存スイッチング素子。

【請求項4】 請求項1、2記載のスピン依存スイッチング素子において、前記ソース、ドレイン電極間のトンネルコンダクタンスの変化を、ソース、ドレイン電極間に一定電流を与えた際の電圧変化として読み出すことを特徴とするスピン依存スイッチング素子。

【請求項5】 請求項1、2、3、4記載のスピン依存スイッチング素子において、前記電荷島に容量結合した第2のゲート電極を備えることを特徴とするスピン依存スイッチング素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は外部電圧によってその電気抵抗が変化する機能を有したスピン依存スイッチング素子に関する。

## 【0002】

【従来の技術】 単電子トランジスタ (Single Electron Transistor; 以下SETと略記) は、現在Si集積化素子として広く用いられている電界効果トランジスタ (Field Effect Transistor; 以下FETと略記) の伝導チャネルを、微少な導電性粒子からなる電荷島に置き換え、ソース電極、ドレイン電極との間にトンネル障壁を設けた構造を持つ。電荷島の体積をナノ領域まで小さくし、静電容量を $10^{-18}$  Fまで小さくすると、ソース電極から電荷島に一つの電子を移動させたときの電荷島の帯電エネルギーの変化が数10 mVとなる。従って室温でも電子はソース電極から電荷島へトンネルすることができなくなり (クーロンブロック効果)、ゲート電極の電位によってソースドレイン間の伝導を制御することが可能となる。また電荷島の帯電エネルギーは、電荷島に蓄積された素電荷数に応じて離散的な値となるため、電荷島に一個ずつの電子を順次数えながら蓄積させることができる。すなわちSETは、電子の素電荷による電子間のクーロン反発力と電子数の変化による帯電エネルギーの離散的な変化を積極的に利用したものであり、従来のFETとはその動作原理が大きく異なる。SETは、電子数個で動作可能なため、消費電力の大幅な低減が可能であるだけでなく、素子寸法の微細化が容易、クーロンブロック効果により輸送電子数の揺らぎが抑えられる等の利点を持ち、ナノ領域の集積化素子の有力な候補と考えられている。

【0003】 上述のようなSETのアイデアを利用したメモリ素子が幾つか考案されている。(例えばSingle Charge Tunneling, Edited by H. Gilbert and M. H. Deveret, Plenum Press, New York, 1992 参照) そのもっとも究極な構造である単電子メモリセルでは、電荷島に一個の電子が蓄えられているか否かをそれぞれ記録情報“1”、“0”に対応させる。メモリ動作に必要な双安定性を得るために、複数の電荷島を直列に接続する構造が一般的であり、ドレイン電極を一定電位とし、ソース電極を記録ノードとしてその電位によって記録情報を判定する。記録情報の書き込みはソース電極に電圧を印加して行う。他にSETの電荷島に、記録ノードとして別の電荷島を静電結合させ、その記録ノードの電荷島に電荷が蓄積されているか否かで、SETをオンオフさせるもの。(例えばIEEE Trans. Electron Devices, 43, 1213 (1996) 参照) また、Siナノクリスタルをフラッシュメモリの浮遊容量層に用い、ナノクリスタル中に蓄積された電荷量によってFETの伝導チャネルの伝導特性を変化させるものも考案されている。(例えばProceedings of 1998 International Symposi

um onFormation, Physics, and Device Application of Quantum Dot Structure, Sapporo, Japan, 1998参照)

メモリ素子を考える場合、従来電荷の有無を記録情報に対応させる方法が多く採られてきた。しかしながら、複数の強磁性体の相対的な磁化配列を記録情報に対応させ、固体磁気メモリを実現させる方法が最近研究されている。(例えば、J. Appl. Phys. 81 3758 (1997). 参照) 強磁性体を用いた磁気メモリは、不揮発性であること、リード-ライトサイクルが半永久的であること、放射線耐性に優れるなど大きな利点を有している。

【0004】電極、電荷島が強磁性体からなる強磁性SETに関して、近年理論面、実験面から研究が始められている。(例えばJ. Phys. Soc. Jpn, 66, 1261 (1997) 参照) 強磁性SETをメモリセルに应用する場合、ソース、ドレイン電極、電荷島の相対的な磁化配列を記録情報に対応させる。情報の書き込みは電流磁界により行い、読み出しにはソース-ドレイン間のトンネル抵抗値が磁化配列に依存して変化するいわゆる強磁性トンネル効果(以下TMR効果と略記)を用いる。強磁性SETを使ったメモリセルは、①ゲート電圧により素子にスイッチング機能を付与させることができる、②リーク電流等による電荷島内の蓄積電荷数の変動に強い③半導体SETに比べ不純物、界面準位の影響が小さい等の利点を有している。しかし、現状でのTMR効果の値は10~20%程度であり、電荷島への電荷蓄積を利用したメモリセルに比べ、記憶情報に対する読み出し出力差が小さいという欠点を有している。近年、クーロンブロッケード領域における高次のトンネル効果の存在によるTMR効果のエンハンス、またクーロンブロッケード領域境界におけるエンハンスが理論的に指摘されているが、エンハンスの大きさは高々数10%程度であり、本質的に解決策となるものではない。TMR効果は、強磁性体の分極率に依存するため、Mn系化合物、酸化物等フェルミ面近傍におけるスピン偏極度が100%に近い材料を用いる方法も考案されているが、材料のキュリー温度が低い、材料の作製、加工が困難である等の欠点を有している。

【0005】さらに室温動作の強磁性SETを実現するには、電荷島の寸法を数nm以下とし、その静電容量を $10^{-18}$  F以下とすることが要請されるが、一般にこの寸法でかつ室温で強磁性を示すナノ粒子を得ることは非常に困難である。

【0006】この点を解決するには、近年、研究が行われているスピン蓄積効果を利用することが有用である。

(例えばPhys. Rev. B59, 93 (1999)、及びPhys. Rev. B59, 6017

(1999) 参照) スピン蓄積効果は、ソース電極-電

荷島間、また電荷島-ドレイン電極間のトンネルコンダクタンス $G_1$ 、 $G_2$ が、 $G_0^{-1} = h/4e^2$ で表される量子コンダクタンス $G_0$ よりも十分小さく、かつ電荷島内でのスピン緩和時間 $\tau_s$ がそれぞれの接合のトンネル時間 $\tau_t$ よりも十分に長い場合に生じる。このような条件を満たす電荷島が、スピンに対して非対称なコンダクタンスを持つトンネル接合に挟まれて存在する場合、電荷島にはスピン偏極した電子が非平衡的に蓄積される。従って、電荷島の科学ポテンシャルがスピンに依存してシフトし、電荷島は非平衡的にスピン分極する。この結果、電荷島が非磁性体であってもTMR効果が出現することが予想される。すなわち、スピン蓄積効果出現の条件を満たす電荷島を用いれば、より小さく静電容量を減少させることができ、室温でのSET動作を容易に実現させることができる。しかしながら、この場合のTMR効果は、強磁性の電荷島を用いた場合に比べ1/2に減少する。

【0007】

【発明が解決しようとする課題】上述したように、強磁性SETをメモリセルに应用することで、従来技術に比べ優れた特性を有する高密度、低消費電力の不揮発性磁気メモリを実現することが可能になると期待される。しかしながら、現状のTMR効果を用いた情報読み出しは、記憶情報に対する読み出し出力差が小さいという欠点を有している。

【0008】本発明はこのような課題に対処するためになされたものであり、高密度、低消費電力の不揮発性磁気メモリセルに適したスピン依存スイッチング素子を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明は前記のように高集積度、低消費電力の不揮発性磁気メモリ応用に適したスピン依存スイッチング素子に関わるものである。まず第一にスピン蓄積効果について簡単に説明する。図1

(a)、(b)には強磁性SETの模式図と等価回路を示す。ここで電荷島は非磁性体からなる。またゲート電極は電荷島と容量結合しておりゲート電極-電荷島間にはトンネル電流は流れない。以下、ソース電極-電荷島間、電荷島-ドレイン電極間のトンネル接合を接合1、接合2と略記し、変数に対してはそれぞれ添え字を付けて区別する。いま各接合のトンネルコンダクタンス $G_1$ 、 $G_2$ が、 $G_0^{-1} = h/4e^2$ で表される量子コンダクタンス $G_0$ よりも十分小さく、かつ電荷島内でのスピン緩和時間 $\tau_s$ がそれぞれの接合のトンネル時間 $\tau_t$ よりも十分に長い場合を考える。ソース電極とドレイン電極の磁化方向が反平行であり、かつそれぞれのスピン依存トンネルコンダクタンス $G_1^{\uparrow}$ 、 $G_1^{\downarrow}$ 、 $G_2^{\uparrow}$ 、 $G_2^{\downarrow}$ が以下の条件を満足するとする。

【0010】

$$G_1^{\uparrow}/G_1^{\downarrow} \neq G_2^{\uparrow}/G_2^{\downarrow} \quad (1)$$

5

このとき、図2に示すように、電荷島中にスピン方向に依存した化学ポテンシャルシフト $\Delta\mu$ が生じる。これがいわゆるスピン蓄積効果である。各接合を流れるスピン\*

$$I_s = 2(I_{1\uparrow} - I_{2\uparrow}) = 2(I_{1\downarrow} - I_{2\downarrow}) \quad (2)$$

化学ポテンシャルシフト $\Delta\mu$ の大きさは、スピン電流 $I_s$ に比例し以下のようにかける。

$$[0012] \Delta\mu = I_s / e \cdot \tau_s \cdot \delta \quad (3)$$

ここで $\tau_s$ は電荷島中のスピン緩和時間、 $\delta$ は電荷島のフェルミ面近傍での離散準位のエネルギー間隔である。

[0013] 本発明では、図3に示すように、電荷島に対して三つの強磁性電極を、それぞれトンネル接合を形成するように配置した構成を持つ。この構成は、いわゆるRSET(例えばIEEE Trans. Magn. 23, 1142(1987)参照)に類似しているが、電極が強磁性体からなることさらにその機能が大きく異なる。

$$E^P(n) = E(n) + \Delta\mu/2$$

$$E^{AP}(n) = E(n) - \Delta\mu/2$$

ここで $E(n)$ は、スピン蓄積効果が生じていない場合に必要とするソース電極から電荷島へ一つの電子をトンネルさせる際のエネルギーである。

[0015] 仮に理想的な場合として、絶対零度であり、かつソース電極の伝導電子のスピン偏極度が100%であることを仮定する。この場合、ソースドレイン間電圧 $V$ 、ゲート電圧 $V_g$ に対する素子のスイッチング特性は図4のように書ける。図4(a)は電荷島にスピン蓄積効果が生じていない場合のスイッチング特性である。図の実線はスイッチングの境界領域を示しており、これより $V$ 、 $V_g$ が低い場合にはクーロンブロック効果によりトンネル電流は流れず、素子はオフ状態となる。スピン蓄積効果が生じていない場合、ソース、ドレイン電極の磁化配列に対応したスイッチング特性の変化は生じない。一方図4(b)は、電荷島にスピン蓄積効果が生じている場合である。図中の点線は、ソース、ドレイン電極の磁化配列が平行である場合、破線は反平行である場合のスイッチングの境界である。(4)、

(5)式で示されるように、 $V=0$ では両者の間に $\Delta\mu$ のシフトが生じている。図より明らかなように、ソース、ドレイン電極の磁化配列の違いによって、スイッチング境界のシフトが生じている。すなわち本発明のスピン依存スイッチング素子においては、ソースドレイン間電圧 $V$ 、ゲート電圧 $V_g$ に関して適切な動作点を選択することにより、ソース、ドレイン電極の磁化配列の違いを素子のオン、オフに対応させて検出することが可能となる。従って、例えばソース電極のドレイン電極に対する相対的な磁化方向を記憶情報に対応させることで、記憶情報“1”、“0”を素子のオン、オフで判別することができる。

[0016]

6

\* 依存トンネル電流を $I_{1\uparrow}$ 、 $I_{1\downarrow}$ 、 $I_{2\uparrow}$ 、 $I_{2\downarrow}$ と書き、スピン電流 $I_s$ を次式で定義する。

$$[0011]$$

[0014] 今、図3に示す構造において、ゲート電極、ドレイン電極の磁化が反平行であるとし、ゲートドレイン電極間に定電流を流すと、電荷島中には前述のように(3)式で表される化学ポテンシャルシフト $\Delta\mu$ が生じ、ドレイン電極と同方向のスピン成分がより低い化学ポテンシャルを持つ。今、この状態においてソースドレイン電極間に、低いバイアス電圧をかけ、この際の電流応答を考察する。図3に示す構成において電荷島にスピン蓄積効果が生じている場合、ソース電極から電荷島へ一つの電子をトンネルさせる際のエネルギーの変化は、ソース電極とドレイン電極の磁化が平行であるか反平行であるかによって異なり、以下のようにかける。

$$(\text{反平行状態}) \quad (4)$$

$$(\text{平行状態}) \quad (5)$$

[発明の実施の形態] 以下、本発明のスピン依存スイッチング素子の動作について図面を参照しつつ説明する。

[0017] 図5は、電荷島に蓄積された電荷 $Q_g$ に対するソースドレイン電極間のトンネル電流 $I$ の変化を模式的に示す。電荷島の電荷 $Q_g$ は、ゲート電圧 $V_g$ によって制御することが可能である。図中の曲線はそれぞれ異なるソースドレイン電極間のバイアス電圧 $V$ に対応している。ここでは、理想的に絶対零度であり、かつソース電極の伝導電子のスピン偏極度が100%である場合を示した。温度の効果、またスピン偏極度が有限である場合の効果は本図より容易に推考することができる。図5(a)は電荷島にスピン蓄積効果が生じていない場合の $I-Q_g$ 曲線である。バイアス電圧 $V$ が十分に低い場合には、トンネル電流は $Q_g = (2n+1)e/2$  ( $n$ は整数)近傍のみでしか流れない。図5(b)は、電荷島にスピン蓄積効果が生じている場合である。この場合、各スピン成分に対して化学ポテンシャルの差 $\Delta\mu$ が生じ、前述の(4)、(5)式に示すように一個の電子をトンネルさせるのに必要なエネルギー $E(n)$ に差が生じる。これは、各スピン成分に対して $Q_g$ の値が異なることと実効的に等価である。図5

(b)には、ソース、ドレイン電極の磁化配列が平行、反平行のときの $I-Q_g$ 曲線をそれぞれ点線と、破線で示した。すなわち図中に示すように、バイアス電圧 $V$ 、ゲート電圧 $V_g^0$ を与えたとき、磁化配列が平行であれば電流値 $I^P$ が得られ、反平行であれば電流値は $I^{AP}$ となる。図から明らかなように $I^{AP} \sim 0$ であり、ソース、ドレイン電極の磁化配列に依存したスイッチングが実現できる。

[0018] 図5(c)は、ソースドレイン間に定電流 $I_0$ を流した場合の動作を示す。ゲート電圧 $V_g^0$

50



を与えたとき、磁化配列が平行であればソースドレイン間電圧は $V^P$ が得られ、反平行であれば $V^A$ となる。従って、この場合ソースドレイン間電圧を定量的に判別することにより、ソース、ドレイン電極の磁化配列を判別することが可能となる。

【0019】本発明のスピン依存スイッチング素子を磁気メモリセルに適用する場合には、セル選択が必要となる。この場合、図5(b)、(c)に示すように選択するセルのみ $V_{ON}$ を与え、非選択のセルには、磁化配列にかかわらずトンネル電流が流れないゲート電圧 $V_{OFF}$ を与えればよい。さらに、 $V_{ON}$ を全てのセルに与えた状態で、選択セルのみバイアス電圧 $V$ を与えても良い。また $Q_c$ は、電荷島に対して容量結合した第2のゲート電極によっても制御できる。従って第2のゲート電極の電位によってセル選択を行うこともできる。この場合第2のゲート電極は強磁性体である必要はない。

【0020】本発明のスピン依存スイッチング素子の室温動作を実現するためには、電荷島の静電容量が概ね $1 \times 10^{-18}$  F以下である必要がある。この静電容量の値を実現するためには、その寸法を数nm以下とする必要がある。このような微細寸法の電荷島を直接現在の微細加工技術で作製するのは困難であり、成膜時に自己形成されたナノクグラニュー膜が最適である。ナノクグラニュー膜としては、例えば、絶縁体と金属、半導体との同時気相成長により作製したもの、絶縁体基板上への金属、半導体の初期成長過程における粒状成長を利用したもの、アモルファスの結晶化過程を利用したもの、混晶型化合物半導体成長過程において、成分濃度を制御し自己組織化させたもの等利用できる。なお、本発明のスピン依存スイッチング素子では、スイッチング機能を発現させる電荷島部分は前述のように数nmの寸法とする必要があるが、ソース、ドレイン、ゲート電極部の寸法は現在の微細加工技術で対応できる程度の大きさでもよい。従って、メモリセルに適用した場合でも、記録情報の書き込み法、配線の構成法に従来公知の技術を利用することが可能である。

(実施例1) 図6は本発明の第一の実施形態を示す模式図である。以下、本接合の作製法について述べる。まずポジ型レジストと電子線描画を用い、電荷島20を規定するパターンをSOI基板14上に形成する。次に反応性化学エッチングにより、レジストパターン以外のSi層をSiO<sub>2</sub>層に達するまでエッチングする。レジスト除去後、酸素雰囲気中で昇温を行うと、電荷島20として規定された直方体のSi周囲より酸化が進行し、最終的には図6に示すように楕円体のSi微粒子を取り囲むようにSiO<sub>2</sub>膜が成長する。SiO<sub>2</sub>膜22はトンネル障壁としての役割を果たす。本実施例で得られたSi微粒子21の大きさはおよそ80nmであった。ソース電極、ドレイン電極にはCoを用い、保磁力差を付ける

ためゲート電極にはNiFe合金を用いた。電子線描画とリフトオフ法の組み合わせによって図示のパターンを作製した。

【0021】図7には本実施例の素子における、ソースドレイン間電流のバイアス電圧依存性を示す。測定温度は120mKである。図中(a)の曲線は、紙面向下向きに1kOeの磁界を印加した後に磁界を取り除いた場合のI-V特性、(b)の曲線は、紙面向下向きに1kOeの磁界を印加した後に、紙面上向きに1000eの磁界を印加し、その後磁界を取り除いた場合のI-V特性である。(b)の状態では、ソース、ドレイン電極の磁化は紙面向下向きにあり、一方ゲート電極の磁化は紙面上向きにあることをスピン偏極走査型電子顕微鏡により確認した。(a)、(b)共に低バイアス側でクーロンギャップを生じているが、(b)の場合の方がより低いバイアス側で電流が立ち上がっている。この違いは、(b)ではゲート、ドレイン電極の磁化配置が反平行であるため、スピン蓄積効果により電荷島中に化学ポテンシャルシフトが生じたことを示している。

(実施例2) 図8は本発明の第2の実施形態を示す模式図である。本実施例では、熱酸化Si基板15上にまずソースドレイン電極が繋がった形状のCo膜のパターンを形成する。次に、ネガ型電子線レジストを塗布し、間隙21を形成したい部分に低めの露光量で電子線を照射する。これによりレジストにはV字型の窪みが生じる。ここでレジストを残したままArミリングを、窪みの先端がSiO<sub>2</sub>膜に達するまで行う。ミリング終点の検出は二次イオン質量分析法を用いて行った。これにより通常の電子線描画の解像度よりも小さな加工寸法の間隙を形成することが可能である。断面TEM観察により得た間隙の最小幅は約5nmであった。次に平均粒径15nmのSiO<sub>2</sub>で被覆されたSi微粒子を有機溶剤中に分散させ、このコロイド溶液をスピンコートする。これにより図示のようにソースドレイン間の間隙にSi微粒子が残留した構造を形成することができる。

【0022】スピンコート後昇温処理により溶剤を脱離させたのちに、SiO<sub>2</sub>膜22を形成する。その後、電子線描画とリフトオフ法によりゲート電極を形成する。ゲート電極には実施例1と同様にNiFe合金を用いた。

【0023】本実施例で作製した素子について、実施例1と同様の実験を行ったところ、40Kでも磁化配列に依存したクーロンギャップのシフトが観測された。

(実施例3) 図8は本発明の第3の実施形態を示す模式図である。本実施例では、熱酸化Si基板15上に膜厚2nmのアモルファスSiをCVD法により全面に堆積する。次にこの基板を真空中で加熱処理すると、アモルファスSiは半球状の結晶粒を形成する。その後、その表面にSiO<sub>2</sub>をパッシベートする。これにより図示のようにSiO<sub>2</sub>膜にSi微粒子が二次元的に分散したナ

ノグラニュー膜を作製した。断面TEM観察により得たSi微粒子の大きさは約3nmであった。

【0024】次に基板上全面に形成されたナノグラニュー膜に対して加工を行う。まずポジ型レジストと電子線描画により、電荷島を規定する矩形をパターンを形成する。本実施例でのパターンは80nm角の正方形であり、その中には約250個のSi微粒子が含まれている。パターン形成後、基板のSiO<sub>2</sub>に達するまでエッチングを行い、さらにエッチング後レジストを残したままCo膜を成膜する。成膜後レジストを剥離することでゲート電極13のパターンが完成する。ゲート電極には実施例1と同様にNiFe合金を用い、電子線描画とリフトオフ法によりパターンを形成した。この素子について実施例1と同様の実験を行ったところ、室温でも磁化配列に依存したクーロンギャップのシフトが観測された。

【0025】

【発明の効果】以上詳述したように、本発明のスピニ依存スイッチング素子では、ゲート電極とドレイン電極の磁化配列を反映したスイッチング機能を室温で得ることができる。従って、本発明の素子を磁気メモリセルに応用した場合、強磁性トンネル効果を用いたセル場合に比べ、記録情報に対する読み出し出力差を大きく得ることができ、メモリセルとして安定な動作が可能となる。さらに、素子自体にスイッチング機能を有しているため、セル選択用の半導体トランジスタが不要となり、一層の高集積化が期待できる。

\*

\*【図面の簡単な説明】

【図1】非磁性体からなる電荷島を用いた強磁性単電子トランジスタの模式図と等価回路である。

【図2】スピニ蓄積効果の説明図である。

【図3】本発明のスピニ依存スイッチング素子の模式図と等価回路である。

【図4】本発明のスピニ依存スイッチング素子の動作原理を模式的に示す図である。

【図5】本発明のスピニ依存スイッチング素子の動作を模式的に示す図である。

【図6】本発明のスピニ依存スイッチング素子の第1の実施形態を模式的に示した図である。

【図7】本発明のスピニ依存スイッチング素子の第1の実施形態におけるI-V特性を示した図である。

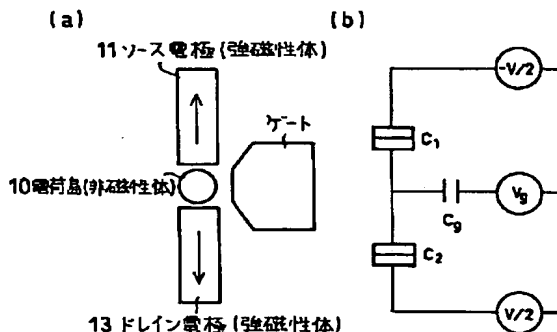
【図8】本発明のスピニ依存スイッチング素子の第2の実施形態を模式的に示した図である。

【図9】本発明のスピニ依存スイッチング素子の第3の実施形態を模式的に示した図である。

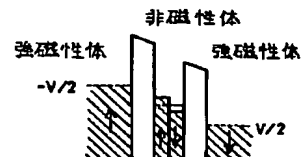
【符号の説明】

- 10 . . . . . 電荷島
- 11 . . . . . ソース電極
- 12 . . . . . ドレイン電極
- 13 . . . . . ゲート電極
- 14 . . . . . SOI基板
- 15 . . . . . 熱酸化Si基板
- 21 . . . . . 間隙
- 22 . . . . . SiO<sub>2</sub>膜

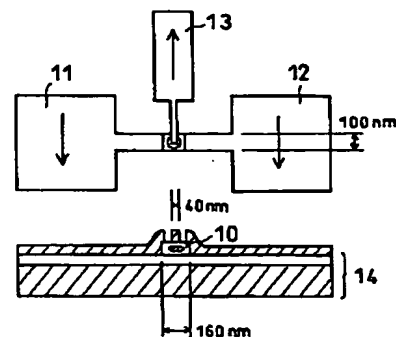
【図1】



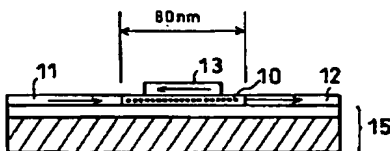
【図2】



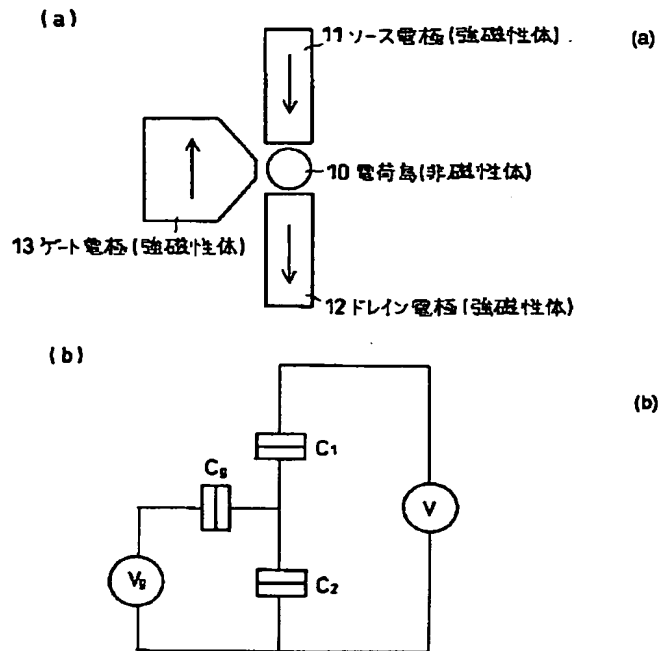
【図6】



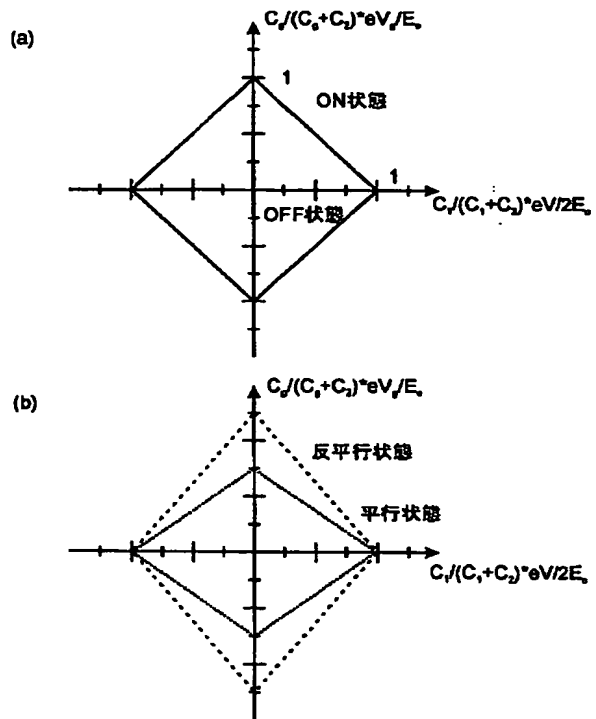
【図9】



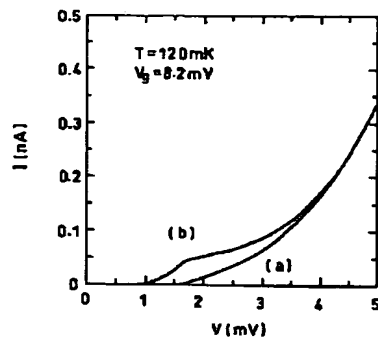
【図3】



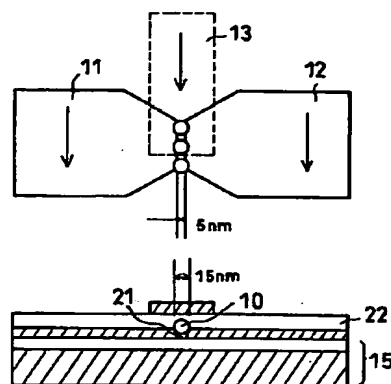
【図4】



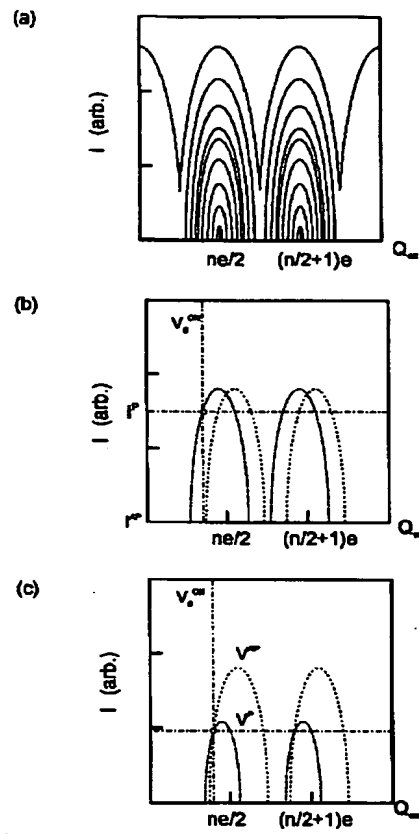
【図7】



【図8】



【図5】



フロントページの続き

(72)発明者 齊藤 好昭  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

Fターム(参考) 5F083 ER22 FR05 FZ01 FZ10 GA05  
GA09 HA02 JA31  
5F102 FB10 GJ10 GT01